

0418057-SNY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-128958

(43)Date of publication of application : 16.05.1997

(51)Int.Cl.

G11C 7/00
G11C 11/41
G11C 11/417

(21)Application number : 07-285189

(71)Applicant : SONY CORP

(22)Date of filing : 01.11.1995

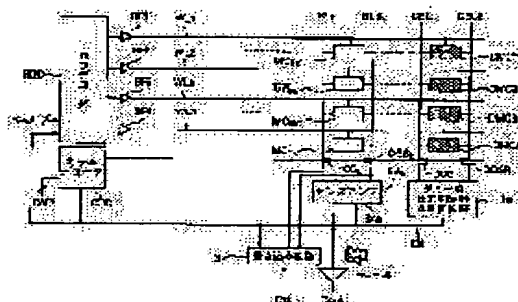
(72)Inventor : SENOO KATSUNORI
MIURA KIYOSHI

(54) SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor memory device which avoids the increase of area and complex control, can deal with the size structure variable parametric RAM and allows easy and exact control and the reduction of current consumption at the time of writing operation.

SOLUTION: A control circuit 1a detects the readout data of the dummy memory cell DMC arranged in the cell array and makes the enable signal EN inactive to control the finish of the readout operation at the time of readout. Similarly at the time of writing, it inactivates the enable signal EN based on the output of the dummy memory cell DMC to control the finish of the writing operation. By this, the installation of an exclusive pulse generator is made unnecessary and the increase of area and complex control is avoided. And since even the parametric RAM of variable size constitution can produce activated pulses in accordance with its delay, control is kept easy and exact.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-128958

(43) 公開日 平成9年(1997)5月16日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 7/00	3 1 3		G 1 1 C 7/00	3 1 3
11/41			11/34	M
11/417				3 0 5

審査請求 未請求 請求項の数 4 O L (全 13 頁)

(21) 出願番号 特願平7-285189

(22) 出願日 平成7年(1995)11月1日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 妹尾 克徳

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(72) 発明者 三浦 清志

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

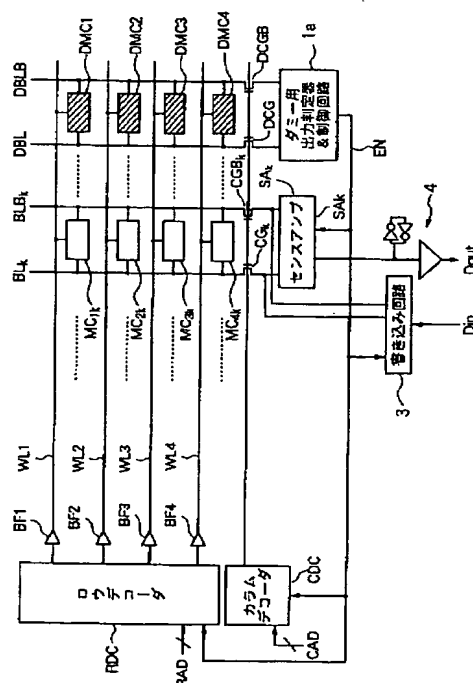
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 半導体メモリ装置

(57) 【要約】

【課題】面積増加や制御の煩雑化を防ぎ、サイズ構成可変のパラメトリック型RAMにも対応可能で、制御が容易かつ正確にでき、また、書き込み動作時の消費電流を小さくできる半導体メモリ装置を実現する。

【解決手段】制御回路1aにおいて、読み出し時には、セルアレイ中に配置したダミーメモリセルDMCのデータの読み出しを検知して、イネーブル信号ENを非アクティブにして読み出し動作の終了制御を行い、同様に、書き込み時にも、ダミーメモリセルDMCの出力に基づきイネーブル信号ENを非アクティブにして書き込み動作の終了制御を行う。これにより、書き込み専用のパルス発生器を設ける必要がなく、面積増加や制御の煩雑化を防げ、また、サイズ構成可変のパラメトリック型RAMでもその遅延に追従した活性化パルスを生成できるので、制御が容易かつ正確にできる。



【特許請求の範囲】

【請求項1】 ダミーメモリセルの出力に基づいてメモリ動作を制御する半導体メモリ装置であって、読み出し時に、上記ダミーメモリセルからのデータ出力を受けると、読み出し動作を終了させ、かつ、書き込み時に、上記ダミーメモリセルからのデータ出力を受けると、書き込み動作を終了させる制御手段を有する半導体メモリ装置。

【請求項2】 上記制御手段は、書き込み動作を終了させ、次サイクルのためのビット線のプリチャージ動作を行う請求項1記載の半導体メモリ装置。

【請求項3】 クロックの前半でメモリセルが接続されるビット線をプリチャージし、後半でワード線をアクティブにして書き込みを行う半導体メモリ装置であって、書き込み時間を、メモリセルが反転するのに必要な時間より長く、1/2サイクル時間より短い時間に設定し、その時間のみワード線をアクティブにする手段を有する半導体メモリ装置。

【請求項4】 クロックの前半でメモリセルが接続されるビット線をプリチャージし、後半でワード線をアクティブにして書き込みを行う半導体メモリ装置であって、ダミーメモリセルを備え、上記ダミーメモリセルへの書き込み完了を検知して、ワード線のアクティブ時間を制御する手段半導体メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メモリセルが接続されるビット線に対する充放電によりデータの読み出し／書き込みを行うスタティックRAM（SRAM）等の半導体メモリ装置に係り、特に、書き込み系回路の改良に関する。

【0002】

【従来の技術】従来より、ダミーメモリセルを利用して読み出しデータが出力されたことを検知し、センスアンプを活性化させたり、またはセンス完了を検知してセンスアンプを不活性化させ、読み出し動作を終了させたりするメモリ装置が知られている。また、書き込み動作に関しては、内部に書き込みパルスを発生させるタイミング回路を設け、一定時間後に書き込み動作を終了させるメモリ装置や、ASIC等で広く用いられている同期型でクロックの前半でメモリセルが接続されるビット線をプリチャージし、後半でワード線をアクティブにして書き込みを行うメモリ装置が知られている。

【0003】図11は、ダミーメモリセルを利用して読み出しデータが出力されたことを検知し、読み出し動作を終了させる回路と、内部に書き込みパルスを発生させるタイミング回路を持ち、一定時間後に書き込み動作を終了させるメモリ装置の従来例の概念図である。また、図12は、図11の装置の読み出しおよび書き込み時の

タイミングチャートである。

【0004】このメモリ装置は、行列状にメモリセル、たとえばSRAMセルが配列され、図11に示すように、同一列に属すメモリセルMC1k、MC2k、MC3k、MC4k（図11では4行としている）が一对のビット線BLk、BLBkに接続され、これらビット線BLk、BLBkはnチャネルMOS（NMOS）トランジスタからなるカラムゲートCGk、CGBkを介してセンスアンプSAkに接続されている。そして、通常のメモリセルアレイに加えて1列のダミーメモリセルDMC1、DMC2、DMC3、DMC4が各行毎に設けられている。これらダミーメモリセルDMC1、DMC2、DMC3、DMC4は一对のダミービット線DBL、DBLBに接続され、これらダミービット線DBL、DBLBはカラムゲートDCG、DCGBを介してダミー用出力判定器および制御回路1に接続されている。そして、各行のメモリセルおよびダミーメモリセルは共通のワード線WL1、WL2、WL3、WL4に接続され、これらワード線WL1、WL2、WL3、WL4はバッファBF1、BF2、BF3、BF4を介してロウデコーダRDCにより駆動される。また、カラムゲートCGk、CGBk、DCG、DCGBの各ゲート電極はカラムデコーダCDCの共通の出カラインに接続されている。

【0005】また、書き込みパルス発生器2で発生される書き込みイネーブル信号WENはロウデコーダRDC、カラムデコーダCDCおよび書き込み回路3に供給される。また、制御回路1の出力制御信号である読み出しイネーブル信号RENはセンスアンプSAk、ロウデコーダRDCおよびカラムデコーダCDCに供給される。また、センスアンプSAkは出力回路4に接続されている。

【0006】このような構成において、読み出しおよび書き込み動作の終了手順は次のように行われる。まず、読み出し時は、図12（a）に示すように、読み出しサイクルの始めにハイレベルとなった読み出しイネーブル信号RENが、セルアレイ中に配置されたダミーメモリセルからの読み出しデータが制御回路1で検知された結果、ローレベルに切り替えられてセンスアンプSAk、ロウデコーダRDCおよびカラムデコーダCDCに供給される。これにより、センスアンプSAk、ロウデコーダRDCおよびカラムデコーダCDCはディセイル状態となり、内部読み出し動作が終了され、次サイクルのためのプリチャージが開始される。

【0007】書き込み時は、図12（b）に示すように、書き込みパルス発生器2によりハイレベルの書き込みイネーブル信号WENが発生され、ロウデコーダRDC、カラムデコーダCDCおよび書き込み回路3に供給される。これにより、書き込み回路3により書き込み動作が行われ、その終了の制御も書き込みイネーブル信号WENにレベルの切り替えに基づいて行われる。

【0008】図13は、同期型でクロックの前半でメモリセルが接続されるビット線をプリチャージし、後半でワード線をアクティブにして書き込みを行う従来のメモリ装置の回路図である。また、図14は、図13の装置の読み出しおよび書き込み時のタイミングチャートである。

【0009】この回路では、メモリセルMC1k、MC1m等は、インバータI1、I2の入出力同士を接続したフリップフロップからなるSRAMセルを例に示しており、同一行に配置されたメモリセルMC1k、MC1mのアクセストランジスタA1、A2のゲート電極が共通のワード線WL1等に接続されている。

【0010】そして、書き込み時、ロウデコーダRDCにおいて、ローアドレスRADから選択すべきワード線WLが1本選ばれる。その選択信号は所定の2入力アンドゲートAD1、AD2、…の一方の入力端子に供給される。そして、2入力アンドゲートAD1等の他方の入力端子には、インバータINV1を介したクロック信号CLKが供給される。したがって、クロック信号CLKがローレベルのときのみ、被選択ワード線WLがハイレベルになるように駆動される。ビット線対BLk、BLBk、BLm、BLBmは、カラムゲートCGk、CGBk、CGm、CGBmを介してデータ線D、DBに接続されている。カラムゲートCGk、CGBk、CGm、CGBmはカラムアドレスCADからカラムデコーダCDCにおいて、1対のみオン状態に制御され、残りはオフ状態に制御される。

【0011】書き込みデータDinはバッファBUF2を介してクロック信号CLKの立ち下りのタイミングでラッチ回路LTCにラッチされるようになっている。そして、ラッチ回路LTCの出力データはバッファBUF3、BUF4を介してデータ線Dに伝搬され、バッファBUF3、BUF5、INV2を介して反転用データ線DBに伝搬される。また、PTk、PTBk、PTm、PTBmはビット線のプリチャージ用トランジスタであり、ゲート電極にバッファBUF1を介したクロック信号CLKが入力されて、オン、オフ制御される。

【0012】このような構成において、書き込み時は、図14に示すように、クロック信号CLKがハイレベルの期間、全ワード線WLのレベルはローレベルに保持され、全ビット線BLk、BLBk、BLm、BLBmは電源電圧VCCレベル（ハイレベル）にプリチャージされる。そして、クロック信号CLKがローレベルの切り換わると、選択されたワード線（WLj）がハイレベルになり、選択されたカラム信号CLMがハイレベルに保持される。このときに、ビット線BLkとBLBkは書き込みデータDinの値に応じて、いずれかはハイレベルのままに保持され、もう一方はローレベルの遷移し、メモリセルMC1k等にそのデータが書き込まれる。

【0013】選択されなかったビット線BLm、BLB

m等はメモリセルMC1m等のデータに応じて、メモリセルを通じて、どちらか一方がローレベルに放電される。このスピードはメモリセルの能力によるが、通常は書き込みのスピードより遅い。この電荷の放電は書き込み動作そのものには不要なものであり、無駄な電力消費である。しかし、このプリチャージを行わないと非選択ビット線では予期しないメモリセルへの書き込みが発生するため、少なくとも通常はメモリセルのアクセストランジスタがオフとなる程度の電位へのプリチャージが必要である。

【0014】

【発明が解決しようとする課題】しかしながら、上述した図11のメモリ装置では、読み出し系のタイミング回路と書き込み系のタイミング回路は、その片方もしくは両方であるが別々に設けられていることから、チップ面積の増加や制御の煩雑化等の無駄が生じていた。また、構成サイズ可変のパラメトリック型では読み出し時間はダミーメモリセルを使ってその構成に応じてフレキシブルにタイミングを発生させることができるが、書き込み時間のタイミング生成は難しかった。

【0015】また、図13のメモリ装置の同期型プリチャージ方式の書き込みでは、サイクルの後半はワード線はずっとアクティブで、その間書き込み状態が続く。これはプリチャージタイプであるため、書き込み時ビット線の負荷はオフのためDC電流は流れないが、非選択カラムのビット線ではビット線対のどちらか一方はメモリセルによって放電が行われる。この電流は書き込みの点からは無駄なものである。特にサイクル時間の半分がこの放電時間と同等以上のとき、最大となる。

【0016】このように、同期型SRAMでDC電流はないものの、ビット線充放電電流がAC電流の大半である。通常カラム数は2～16程度が用いられ、そのうち1本のみが書き込みに使われ、残るビット線での充放電は書き込みの観点からは無駄なものである。

【0017】本発明は、かかる事情に鑑みてなされたものであり、その目的は、面積増加や制御の煩雑化を防ぎ、サイズ構成可変のパラメトリック型RAMにも対応可能で、制御が容易かつ正確にでき、また、書き込み動作時の消費電流を小さくできる半導体メモリ装置を提供することにある。

【0018】

【課題を解決するための手段】上記目的を達成するため、本発明では、ダミーメモリセルの出力に基づいてメモリ動作を制御する半導体メモリ装置であって、読み出し時に、上記ダミーメモリセルからのデータ出力を受けると、読み出し動作を終了させ、かつ、書き込み時に、上記ダミーメモリセルからのデータ出力を受けると、書き込み動作を終了させる制御手段を有する。

【0019】また、本発明の半導体メモリ装置では、上記制御手段は、書き込み動作を終了させ、次サイクルの

ためのビット線のプリチャージ動作を行う。

【0020】また、本発明は、同期型でクロックの前半でメモリセルが接続されるビット線をプリチャージし、後半でワード線をアクティブにして書き込みを行う半導体メモリ装置であって、書き込み時間を、メモリセルが反転するのに必要な時間より長く、 $1/2$ サイクル時間より短い時間およびビット線が放電してしまう時間より短い時間に設定し、その時間のみワード線をアクティブにする手段を有する。

【0021】また、本発明は、同期型でクロックの前半でメモリセルが接続されるビット線をプリチャージし、後半でワード線をアクティブにして書き込みを行う半導体メモリ装置であって、ダミーメモリセルを備え、上記ダミーメモリセルへの書き込み完了を検知して、ワード線のアクティブ時間を制御する手段を有する。

【0022】本発明の半導体メモリ装置によれば、読み出し時には、セルアレイ中に配置したダミーメモリセルの読み出し遅延が検知され読み出し動作の終了制御が行われる。同様に、書き込み時にも、ダミーメモリセルの出力に基づき書き込み動作の終了制御が行われる。したがって、書き込み専用のパルス発生器を設ける必要がなく、面積増加や制御の煩雑化を防げ、また、サイズ構成可変のパラメトリック型RAMでもその遅延に追従した活性化パルスを生成できるので、制御が容易かつ正確にできる。

【0023】また、本発明の半導体メモリ装置によれば、ワード線をアクティブにする時間をメモリセル時間より長く、 $1/2$ サイクルより短く設定される。これにより、非選択カラムのビット線の放電量が小さくなり、書き込み時の消費電流を小さくできる。

【0024】また、本発明の半導体メモリ装置によれば、ダミーメモリセルへの書き込み完了が検知され、その結果に基づきワード線のアクティブ時間が制御される。これにより、ワード線およびビット線遅延、あるいはプロセスバラツキなどがあっても、メモリセルへの書き込みを保証することができ、同時に消費電流を小さくすることができる。

【0025】

【発明の実施の形態】

第1実施形態

図1は、本発明に係る半導体メモリ装置の第1の実施形態を示すブロック図である。本装置は、ダミーメモリセルを利用して読み出しデータが出力されたことを検知し、メモリ動作を制御する半導体メモリ装置において、ダミーメモリセルからの読み出しデータ出力検知による制御信号を読み出しだけでなく、書き込み動作の制御にも利用するような構成となっている。

【0026】図1においては、従来例を示す図12と同一構成部分は同一符号をもって表している。すなわち、このメモリ装置は、行列状にメモリセル、たとえばSR

AMセルが配列され、同一列に属すメモリセルMC1k, MC2k, MC3k, MC4k (図1では4行) が一对のビット線BLk, BLBkに接続され、これらビット線BLk, BLBkはnチャネルMOS (NMOS) トランジスタからなるカラムゲートCGk, CGBkを介してセンスアンプSAkに接続されている。そして、通常のメモリセルアレイに加えて1列のダミーメモリセルDMC1, DMC2, DMC3, DMC4が各行毎に設けられている。これらダミーメモリセルDMC1, DMC2, DMC3, DMC4は一对のダミービット線DBL, DBLBに接続され、これらダミービット線DBL, DBLBはカラムゲートDCG, DCGbを介してダミー出力判定器および制御回路 (以下、制御回路という) 1aに接続されている。そして、各行のメモリセルおよびダミーメモリセルは共通のワード線WL1, WL2, WL3, WL4に接続され、これらワード線WL1, WL2, WL3, WL4はバッファBF1, BF2, BF3, BF4を介してロウデコーダRDCにより駆動される。また、カラムゲートCGk, CGBk, DCG, DCGbの各ゲート電極はカラムデコーダCDCの共通の出力ラインに接続されている。

【0027】制御回路1aは、読み出し時および書き込み時に、アクセスが開始されると、イネーブル信号ENをハイレベルでセンスアンプSAk、ロウデコーダRDC、カラムデコーダCDCおよび書き込み回路3に供給し、これら回路をアクティブ状態とし、ダミーメモリセルが読み出されダミービット線DBL, DBLBに現れた信号を受けると、イネーブル信号ENをローレベルに切り換えてセンスアンプSAk、ロウデコーダRDC、カラムデコーダCDC、書き込み回路3を非アクティブ状態に制御する。

【0028】次に、上記構成による動作を、図2のタイミングチャートを参照しつつ説明する。読み出し時は、クロックが変わるかアドレスが変わりアクセスが開始されると、図2(a)に示すように、制御回路1aからハイレベルのイネーブル信号ENがセンスアンプSAk、ロウデコーダRDCおよびカラムデコーダCDCに供給される。これにより、センスアンプSAk、ロウデコーダRDCおよびカラムデコーダCDCはアクティブ状態に制御される。そして、ロウデコーダRDCにおいて、ローアドレスRADから選択すべきワード線WLが1本選ばれ、被選択ワード線WLがハイレベルになるように駆動される。同時に、カラムデコーダCDCにおいて、カラムアドレスに基づきカラムゲートCGk, CGBk, DCG, DCGbが導通状態に制御される。これにより、アドレス指定されたメモリセル、たとえばMC1kに記憶されているデータに応じたレベルの信号がビット線BLk, BLBkに現れ、この信号がセンスアンプSAkで増幅されて出力回路4から出力データDoutとして出力される。

【0029】また、ワード線WLが駆動されると、所定のダミーメモリセルのデータがダミービット線DBL/DBLBに信号として現れ、制御回路1aに入力される。制御回路1aでは、ダミービット線DBL/DBLBの信号入力に基づき、データが出力されたことが検知され、その結果、イネーブル信号ENがハイレベルからローレベルに切り換えられる。これに伴い、センスアンプSAk、ロウデコーダRDCおよびカラムデコーダCDCが非アクティブ状態に制御されて、内部の読み出し動作が終了し、次のサイクルのためにプリチャージ動作に入る。

【0030】書き込み時は、図2(b)に示すように、読み出しと同様の機構によりアクセス開始時にイネーブル信号ENがハイレベルに設定されて、書き込み回路3、センスアンプSAk、ロウデコーダRDCおよびカラムデコーダCDCはアクティブ状態に制御される。そして、ロウデコーダRDCにおいて、ローアドレスRADから選択すべきワード線WLが1本選ばれ、被選択ワード線WLがハイレベルになるように駆動される。同時に、カラムデコーダCDCにおいて、カラムアドレスに基づきカラムゲートCGk、CGBk、DCG、DCGBが導通状態に制御される。これにより、アドレス指定されたメモリセルに対して、書き込み回路3により書き込みデータDinがビット線BLk、BLBkに伝搬され、アドレス信号のメモリセルに書き込まれる。

【0031】また、ワード線WLが駆動されると、所定のダミーメモリセルのデータがダミービット線DBL/DBLBに信号として現れ、制御回路1aに入力される。制御回路1aでは、ダミービット線DBL/DBLBの信号入力に基づき、データが出力されたことが検知され、その結果、イネーブル信号ENがハイレベルからローレベルに切り換えられる。これに伴い、書き込み回路3、センスアンプSAk、ロウデコーダRDCおよびカラムデコーダCDCが非アクティブ状態に制御されて、内部の書き込み動作が終了し、上述した読み出し動作と同様に、次のサイクルのためにプリチャージ動作に入る。

【0032】なお、ダミーメモリセルの読み出し遅延で書き込みタイミングを制御できる理由は、書き込み時間より読み出し時間の方が長いからである。読み出しはメモリセルの小さなトランジスタよりビット線が放電される動作となるが、書き込みは大きなサイズのトランジスタ(ライトバッファ)により同じビット線が放電される動作となるからである。

【0033】以上説明したように、本第1の実施形態によれば、セルアレイ中に配置したダミーメモリセルの読み出し遅延を検知して読み出し制御だけでなく、書き込み動作の制御も行おうにしたので、書き込み専用のパルス発生器を設ける必要がなく、面積増加や制御の煩雑化を防げる。また、サイズ構成可変のパラメトリック型

RAMでもその遅延に追従した活性化パルスを生成できるので、制御が容易かつ正確にできる。

【0034】第2実施形態

図3は、本発明に係る半導体メモリ装置の第2の実施形態を示す回路図である。図3の装置は、図1に示す概念的なメモリ装置の具体的な回路例を示すものであって、アドレス入力にフリップフロップを持った同期型メモリ装置である。

【0035】この装置では、通常のメモリセルMCKは、TFT負荷型のCMOSインバータI1、I2の入出力同士を交差結合したSRAMセルにより構成され、その結合ノードがアクセストランジスタA1、A2を介してビット線BLk、BLBkにそれぞれ接続されている。また、ダミーメモリセルDMCは、ダミービット線DBLと接地ラインとの間に直列に接続されたNMOSTランジスタDT1、DT2、およびダミービット線DBLBと電源電圧VCCの供給ラインとの間に接続されたNMOSTランジスタDT3により構成されている。そして、NMOSTランジスタDT1、DT3のゲートがワード線WLに接続され、NMOSTランジスタDT2のゲートが電源電圧VCCの供給ラインに接続されている。

【0036】ビット線対BLk、BLBk間には、pチャネルMOS(PMOS)トランジスタからなるイコライズ用トランジスタE1が接続されている。さらに、PMOSTランジスタからなるプリチャージ/プルアップ用トランジスタP1が電源電圧VCCの供給ラインとビット線BLkとの間に接続され、プリチャージ/プルアップ用トランジスタP2が電源電圧VCCの供給ラインとビット線BLBkとの間に接続されている。そして、トランジスタE1、P1、P2のゲート電極は、カラムゲートCGk、CGBkのゲート電極と同様に、カラムデコーダCDCのカラム選択信号COLの出力ラインに接続されている。

【0037】同様に、ダミービット線対DBL、DBLB間には、PMOSTランジスタからなるイコライズ用トランジスタDE1が接続されている。さらに、PMOSTランジスタからなるプリチャージ/プルアップ用トランジスタDP1が電源電圧VCCの供給ラインとビット線DBLとの間に接続され、プリチャージ/プルアップ用トランジスタDP2が電源電圧VCCの供給ラインとビット線DBLBとの間に接続されている。そして、トランジスタDE1、DP1、DP2のゲート電極は、カラムゲートDCG、DCGBのゲート電極と同様に、カラムデコーダCDCのカラム選択信号COLの出力ラインに接続されている。

【0038】センスアンプSAkは、PMOSTランジスタPS1、PS2、PS3、およびインバータINV S1により構成されている。PMOSTランジスタPS1がビット線対BLk、BLBk間に接続され、PMO

SトランジスタPS2が電源電圧VCCの供給ラインとビット線BLkとの間に接続され、PMOSTランジスタPS3が電源電圧VCCの供給ラインとビット線BLBkとの間に接続されている。そして、トランジスタPS1～PS3のゲート電極は、カラムゲートCGk、CGBkのゲート電極と同様に、カラムデコーダCDCのカラム選択信号COLの出力ラインに接続されている。そして、インバータINVS1の入力がビット線BLkに接続されている。

【0039】制御回路1aは、PMOSTランジスタPD1、PD2、PD3、インバータINVD1、およびRS型フリップフロップFFD1により構成されている。PMOSTランジスタPD1がダミービット線DBL、DBLB間に接続され、PMOSTランジスタPD2が電源電圧VCCの供給ラインとダミービット線DBLとの間に接続され、PMOSTランジスタPD3が電源電圧VCCの供給ラインとダミービット線DBLBとの間に接続されている。そして、トランジスタPD1～PD3のゲート電極は、カラムゲートDCG、DCGBのゲート電極と同様に、カラムデコーダCDCのカラム選択信号COLの出力ラインに接続されている。そして、インバータINVS1の入力がダミービット線DBLに接続され、出力がフリップフロップFFD1のリセット端子Rに接続されている。フリップフロップFFD1のセット端子Sがクロック信号CLKの入力ラインに接続され、出力端子Qからイネーブル信号ENを、書き込み回路3、ゲート回路5、ロウデコーダRDC、およびカラムデコーダCDCに出力する。

【0040】書き込み回路3は、ディレイ回路DL31、3入力アンドゲートAD31、インバータINV31、INV32、INV33、およびバッファBUF31により構成されている。ディレイ回路DL31は、その入力がイネーブル信号ENの供給ラインに接続され、イネーブル信号ENを所定時間遅延させて3入力アンドゲート31の入力に入力させる。3入力アンドゲートAD31の他の2入力端子は、イネーブル信号ENの供給ラインおよび、書き込みイネーブル信号WENをクロック信号CLKに同期してラッチしたフリップフロップ7の出力端子Qに接続されている。アンドゲートAD31の出力はバッファBUF31およびインバータINV33の正側制御端子に接続されるとともに、インバータINV32を介して負側制御端子に接続されている。そして、バッファBUF31およびインバータINV33の入力は書き込みデータDinの入力ラインに接続され、バッファBUF31の出力がビット線BLkに接続され、インバータINV33の出力がビット線BLBkに接続されている。また、インバータINV32の入力はフリップフロップ7の出力端子Qに接続され、出力がゲート回路5に接続されている。

【0041】ゲート回路5は、転送ゲートTG51、2

入力アンドゲートAD51、およびインバータINV51により構成されている。転送ゲートTG51の一方の入出力端子がセンスアンプSAkのインバータINVS1の出力に接続され、他方の入出力端子が出力回路4に接続されている。そして、2入力アンドゲートAD51の一方の入力端子が書き込み回路3のインバータINV32の出力に接続され、他方の入力端子がイネーブル信号ENの供給ラインに接続されている。アンドゲートAD51の出力は転送ゲートTG51を構成するNMOSTランジスタのゲート電極に接続されているとともに、インバータINV51を介して転送ゲートTG51を構成するPMOSTランジスタのゲート電極に接続されている。

【0042】アドレスバッファ6は、クロック信号CLKに同期してアドレスADRをラッチするフリップフロップFF61、FF62、およびインバータINV61、INV62により構成されている。フリップフロップFF61の出力端子QがインバータINV61の入力に接続され、フリップフロップFF62の出力端子QがインバータINV62の入力に接続されている。

【0043】ロウデコーダRDCは、ロウアドレスデコード線RAD1～4、および複数の3入力アンドゲートADR1、ADR2、…により構成されている。ロウアドレスデコード線RAD1はアドレスバッファ6のフリップフロップFF61の出力に接続され、ロウアドレスデコード線RAD2はインバータINV61の出力に接続され、ロウアドレスデコード線RAD3はアドレスバッファ6のフリップフロップFF63の出力に接続され、ロウアドレスデコード線RAD4はインバータINV62の出力に接続されている。アンドゲートADR1の入力端子はアドレスデコード線RAD1、RAD3およびイネーブル信号ENの供給ラインに接続され、アンドゲートADR2の入力端子はアドレスデコード線RAD2、RAD3およびイネーブル信号ENの供給ラインに接続されている。

【0044】カラムデコーダCDCは、2入力アンドゲートADC、およびバッファBUCにより構成されている。2入力アンドゲートADCの一方の入力端子はイネーブル信号ENの供給ラインに接続され、他方の入力端子がバッファBUCを介してクロック信号CLKの入力ラインに接続されている。そして、アンドゲートADCの出力がカラム選択信号COLの供給ラインとしてカラムゲートCGk、CGBk、DCG、DCGBのゲート電極に接続されている。

【0045】次に、図3の装置の動作を、図4および図5のタイミングチャートを参照しつつ説明する。読み出し時は、図4に示すように、クロック信号CLKがハイレベルに立ち上がるとダミー用制御回路1のフリップフロップFFD1がセットされ、イネーブル信号ENがハイレベルで書き込み回路3、ゲート回路5、ロウデコー

ダRDC、およびカラムデコーダCDCに出力される。このとき、書き込みイネーブル信号ENはローレベルであるから書き込み回路3のアンドゲートAD31の出力はローレベルに保持され、バッファBU31およびインバータINV33は非導通状態に保持される。そして、インバータINV32の出力はハイレベルになることから、ゲート回路5のアンドゲートAD5の出力はハイレベルに保持され、転送ゲートTG51は導通状態の保持され、センサアンプSAkと出力回路4との信号転送路が確立される。

【0046】この状態で、ロウデコーダRDCにおいて、ローアドレスRADから選択すべきワード線WLが1本選ばれ、被選択ワード線WLがハイレベルになるように駆動される。同時に、カラムデコーダCDCにおいて、クロック信号CLKの入力に基づき、カラム選択信号COLがハイレベルになり、カラムゲートCGk、CGBk、DCG、DCGBが導通状態に制御される。これにより、アドレス指定されたメモリセル、たとえばMC1kに記憶されているデータに応じたレベルの信号がビット線BLk、BLBkに現れ、この信号がセンサアンプSAkで増幅されて出力回路4から出力データDoutとして出力される。

【0047】また、ワード線WLが駆動されると、所定のダミーメモリセルのデータがダミービット線DBL/DBLBに信号として現れ、制御回路1aに入力される。ここで、ダミーメモリセルDMCは、ローレベルのデータが出力されるようになっている。そのため、ダミーデータが読み出されると、制御回路1aのインバータINVD1の出力信号DSはハイレベルに遷移し、その結果、フリップフロップFFD1はリセットされ、イネーブル信号ENがローレベルに切り換わる。これにより、ロウデコーダRDCのアンドゲートADR1、ADR2、…、カラムデコーダCDCのアンドゲートADC、およびゲート回路5のアンドゲートAD51がオフ状態となり内部の読み出し動作が終了し、次のサイクルのためにプリチャージ動作に入る。

【0048】書き込み時は、図5に示すように、読み出しと同様の機構によりクロック信号CLKが立ち上がるとダミー用制御回路1のフリップフロップFFD1がセットされ、イネーブル信号ENがハイレベルで書き込み回路3、ゲート回路5、ロウデコーダRDC、およびカラムデコーダCDCに出力される。このとき、書き込みイネーブル信号ENはハイレベルであるから書き込み回路3のアンドゲートAD31の出力はハイレベルに保持され、バッファBU31およびインバータINV33は導通状態に保持される。これにより、書き込みデータDinがビット線BLk、BLBkに伝搬される。そして、インバータINV32の出力はローレベルになることから、ゲート回路5のアンドゲートAD5の出力はローレベルに保持され、転送ゲートTG51は非導通状態

の保持され、センサアンプSAkと出力回路4との信号転送路は確立されない。

【0049】この状態で、ロウデコーダRDCにおいて、ローアドレスRADから選択すべきワード線WLが1本選ばれ、被選択ワード線WLがハイレベルになるように駆動される。同時に、カラムデコーダCDCにおいて、クロック信号CLKの入力に基づきカラム選択信号COLがハイレベルになり、カラムゲートCGk、CGBk、DCG、DCGBが導通状態に制御される。これにより、アドレス指定されたメモリセルに対して、書き込み回路3により書き込みデータDinがビット線BLk、BLBkに伝搬され、アドレス信号のメモリセルに書き込まれる。

【0050】また、ワード線WLが駆動されると、所定のダミーメモリセルのデータがダミービット線DBL/DBLBに信号として現れ、制御回路1aに入力される。ダミーデータが読み出されると、制御回路1aのインバータINVD1の出力信号DSはハイレベルに遷移し、その結果、フリップフロップFFD1はリセットされ、イネーブル信号ENがローレベルに切り換わる。これにより、ロウデコーダRDCのアンドゲートADR1、ADR2、…、カラムデコーダCDCのアンドゲートADC、および書き込み回路5のアンドゲートAD31がオフ状態となり内部の書き込み動作が終了し、次のサイクルのためにプリチャージ動作に入る。

【0051】ここで、前述したように読み出し遅延より書き込み遅延の方が短いため、このようにダミーメモリセルの読み出し遅延を利用してセルフタイム回路を構成してもマージンが増えるだけで動作には影響ない。

【0052】実際のセルアレイ中のダミーメモリセルを使っているため、サイズ可変のパラメトリック型RAMでもそのサイズにあった遅延を再現できる。また、ダミーメモリセルはセルアレイ中のロウデコーダから一番遠い位置に配置して最悪のアクセスがエミュレート可能なようにすることが望ましい。

【0053】本第2の実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。

【0054】第3実施形態

図6は、同期型でクロックの前半でメモリセルが接続されるビット線をプリチャージし、後半でワード線をアクティブにして書き込みを行うメモリ装置の回路図で、従来例を示す図13と同一構成部分は同一符号をもって表している。すなわち、この回路では、メモリセルMC1k、MC1m等は、インバータI1、I2の入出力同士を接続したフリップフロップからなるSRAMセルを例に示しており、同一行に配置されたメモリセルメモリセルMC1k、MC1mのアクセストランジスタA1、A2のゲート電極が共通のワード線WL1等に接続されている。

【0055】そして、書き込み時、ロウデコーダRDC

において、ローアドレスRADから選択すべきワード線WLが1本選ばれる。その選択信号は所定の2入力アンドゲートAD1, AD2, …の一方の入力端子に供給される。そして、2入力アンドゲートAD1等の他方の入力端子には、クロック信号CLKに基づくタイミング調整回路10の出力信号S10が供給される。そして、被選択ワード線WLの駆動をクロック信号CLKの立ち下がりから幅Dのパルスで行う。この幅はメモリセルへの書き込みが完了するためには十分長く、使用される最小サイクルの $1/2$ より短い時間およびビット線が放電してしまう時間より短い時間に設定できるように調整され、設定される。

【0056】また、ビット線対BLk, BLBk, BLm, BLBmは、カラムゲートCGk, CGBk, CGm, CGBmを介してデータ線D, DBに接続されている。カラムゲートCGk, CGBk, CGm, CGBmはカラムアドレスCADからカラムデコーダCDCにおいて、1対のみオン状態に制御され、残りはオフ状態に制御される。書き込みデータDinはバッファBUF2を介してクロック信号CLKの立ち下がりタイミングでラッチ回路LTCにラッチされるようになっている。そして、ラッチ回路LTCの出力データはバッファBUF3, BUF4を介してデータ線Dに伝搬され、バッファBUF3, BUF5, INV2を介して反転用データ線DBに伝搬される。また、PTk, PTBk, PTm, PTBmはビット線のプリチャージ用トランジスタであり、ゲート電極にバッファBUF1を介したクロック信号CLKが入力されて、オン、オフ制御される。

【0057】図7は、タイミング調整回路10の構成例を示す回路図である。このタイミング調整回路10は、遅延回路101, インバータ102, 103, およびノアゲート104により構成されている。遅延回路101とインバータ102が直列に接続され、遅延回路101の入力がクロック信号CLKの入力ラインに接続され、インバータ102の出力がノアゲート104の一方の入力端子に接続され、ノアゲート104の他方の入力端子がクロック信号の入力ラインに接続されている。そして、ノアゲート104の出力がインバータ103の入力に接続されている。ここで、遅延回路10の遅延時間は、上述したように、ワード線をアクティブにする期間を書き込みに必要な時間(t_w)より短くし、 $1/2$ サイクル時間より短くなるように設定される。

【0058】次に、上記構成による書き込み動作を、図8のタイミングチャートを参照しつつ説明する。このような構成において、書き込み時は、図14に示すように、クロック信号CLKがハイレベルの期間、全ワード線WLのレベルはローレベルに保持され、全ビット線BLk, BLBk, BLm, BLBmは電源電圧VCCレベル(ハイレベル)にプリチャージされる。そして、クロック信号CLKがローレベルに切り換わると、タイミ

ング調整回路10においてクロック信号CLKに基づきワード線駆動時間が調整され、信号S10に基づき、被選択ワード線WLがクロック信号CLKの立ち下がりから幅Dのパルスで駆動される。

【0059】このとき、選択されたワード線(WL_j)がハイレベルになり、選択されたカラム信号CLMがハイレベルに保持される。このときに、ビット線BLkとBLBkは書き込みデータDinの値に応じて、いずれかはハイレベルのままに保持され、もう一方はローレベルの遷移し、メモリセルMC1k等にそのデータが書き込まれる。

【0060】選択されなかった非選択ビット線BLm, BLBm等の波形は、図8に示すようになる。すなわち、ワード線WLが遅延Dのあとローレベルになる非選択ビット線は、フローティングとなり、放電が止まり、ビット線振幅ΔVが小さくなり、消費電流が抑えられる。なお、図8中、破線で示す波形は図13の従来装置の場合を示している。セルMC1m等のデータに応じて、メモリセルを通じて、どちらか一方がローレベルに放電される。

【0061】以上説明したように、本第3の実施形態によれば、同期型SRAMにおいて、ワード線をアクティブにする時間をメモリセル時間より長く、 $1/2$ サイクルより短くするようにしたので、非選択カラムのビット線の放電量を小さくし、書き込み時の消費電流を小さくすることが可能になる。

【0062】第4実施形態

図9は、本発明に係る半導体メモリ装置の第4の実施形態を示す回路図である。本装置は、図13に示す回路に、ダミーワード線DWL、ダミービット線DBL, DBLB, ダミーメモリセルDMCMを設け、ダミーメモリセルDMCMへに書き込み完了を検知して、ワード線WL1等のアクティブ時間を制御するように構成されている。なお、図9においては、通常のメモリセル等は簡単化のため省略し、要部のみを示している。

【0063】ダミーメモリセルDMCMは、通常のメモリセルと同様に、インバータI11, I12の入出力同士を接続したフリップフロップからなるSRAMセルであり、アクセストランジスタA11, A12のゲート電極がダミーワード線DWLに接続されている。そして、このセルのノードは、そのレベルがインバータINV13, INV14により外部に取り出せるようになっている。また、ダミーメモリセルDMCMは、NMOSTランジスタNT11とインバータINV14を介したクロック信号CLKによりリセットがかけられるように構成されている。また、NMOSTランジスタNT12は、対称性を保証するためのダミートランジスタである。

【0064】また、ダミービット線DBL, DBLBにはカラムゲートCGM, CGBMが接続され、カラムゲートCGMはバッファBUF11を介して電源電圧VCC

の供給ラインに接続され、カラムゲートCGBMはインバータINV16を介して電源電圧VCCの供給ラインに接続されている。カラムゲートCGM、CGBMのゲート電極が2入力アンドゲートAD12の出力に接続されている。2入力アンドゲートAD12の一方の入力端子は電源電圧VCCの供給ラインに接続され、他方の入力端子がクロック信号CLKの入力端子に接続されている。

【0065】そして、インバータINV14の出力がインバータINV17を介して、ダミーワード線DWL駆動用のアンドゲートAD12および通常のワード線WL駆動用のアンドゲートAD1、…の一方の入力端子に接続されている。すなわち、ダミーメモリセルDMCMのトランジスタのダミートランジスタNT12が接続されたノードから取り出し信号がWMASKとしてワード線のアクティブ時間を制御できるように構成されている。

【0066】次に、図9の装置の書き込み時の動作を、図10のタイミングチャートを参照しつつ説明する。図10に示すように、クロック信号CLKがローレベルに切り換わると、ダミーメモリセルDMCMがリセットされ、信号WMASKがハイレベルとなり、被選択ワード線WLがアクティブのハイレベルになると同時に、ダミーワード線DWLもハイレベルになる。このとき、カラムゲートCGM、CGBMが導通状態になり、その結果、ダミービット線DBLはハイレベルに、ダミービット線DBLBはローレベルにドライブされる。これにより、ダミーメモリセルDMCMのアクセストランジスタA11を介してデータ「1」が書き込まれて、書き込みが完了し、書き込みが完了すると信号WMASKがローレベルとなり、被選択ワード線WLが非アクティブのローレベルになると同時に、ダミーワード線DWLもローレベルになる。

【0067】この場合、ダミーメモリセルDMCMのノードは、通常のメモリセルよりトランジスタNT11、NT12、インバータ13、INV14が接続されていることから負荷が大きく、書き込み時間は通常のメモリセルより大きくなり、確実に書き込み時間twがワード線遅延やビット線遅延があっても保証されることになる。このことは、メモリアレイ構成を変えることが必要となるパラメトリックSRAMモジュールやプロセス等のバラツキにより書き込み時間twが変化する場合に有利である。

【0068】以上説明したように、本第4の実施形態によれば、書き込み制御をダミーワード線、ダミービット線、ダミーメモリセルを用いるようにしたので、ワード線およびビット線遅延、あるいはプロセスバラツキなどがあっても、メモリセルへの書き込みを保証することができ、同時に消費電流を小さくすることが可能になる。

【0069】

【発明の効果】以上説明したように、本発明によれば、書き込み専用のパルス発生器を設ける必要がないので、

面積増加や制御の煩雑化を防げる。また、サイズ構成可変のパラメトリック型RAMでもその遅延に追従した活性化パルスを生成できるので、制御が容易かつ正確にできる。

【0070】また、同期型メモリ装置において、ワード線をアクティブにする時間をメモリセル時間より長く、1/2サイクルより短くすることで、非選択カラムのビット線の放電量を小さくし、書き込み時の消費電流を小さくすることが可能になる。ダミーメモリセルを用いることにより、ワード線およびビット線遅延、あるいはプロセスバラツキなどがあっても、メモリセルへの書き込みを保証することができ、同時に消費電流を小さくすることが可能になる。

【図面の簡単な説明】

【図1】本発明に係る半導体メモリ装置の第1の実施形態を示すブロック図である。

【図2】図1の装置のタイミングチャートである。

【図3】本発明に係る半導体メモリ装置の第2の実施形態を示すブロック図である。

【図4】図3の装置の読み出し時のタイミングチャートである。

【図5】図3の装置の書き込み時のタイミングチャートである。

【図6】本発明に係る半導体メモリ装置の第3の実施形態を示す回路図である。

【図7】図6の装置のタイミング調整回路の具体例を示す回路図である。

【図8】図6の装置の書き込み時のタイミングチャートである。

【図9】本発明に係る半導体メモリ装置の第4の実施形態を示す回路図である。

【図10】図9の装置の書き込み時のタイミングチャートである。

【図11】ダミーメモリセルを利用して読み出しデータが出力されたことを検知し、読み出し動作を終了させる回路と、内部に書き込みパルスを発生させるタイミング回路を持ち、一定時間後に書き込み動作を終了させるメモリ装置の従来例の概念図である。

【図12】図11の装置の読み出しおよび書き込み時のタイミングチャートである。

【図13】同期型でクロックの前半でメモリセルが接続されるビット線をプリチャージし、後半でワード線をアクティブにして書き込みを行う従来のメモリ装置の回路図である。

【図14】図13の装置の書き込み時のタイミングチャートである。

【符号の説明】

RDC…ロウデコーダ

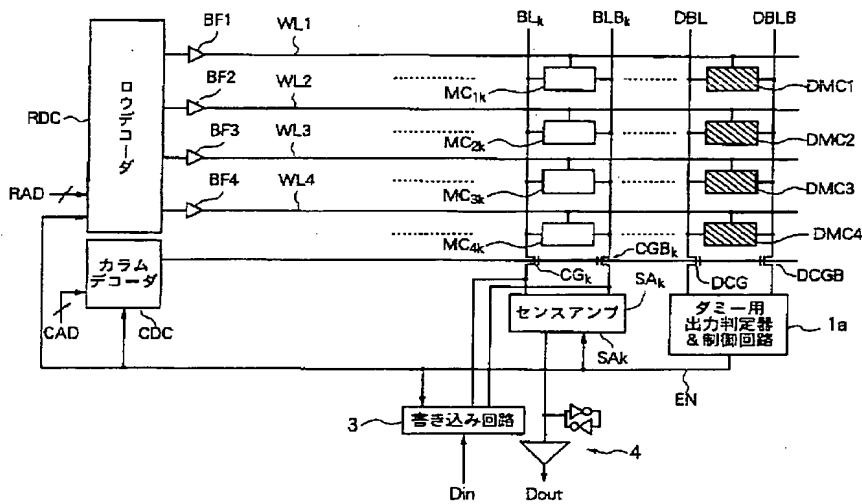
CDC…カラムデコーダ

WL1~WL4…ワード線

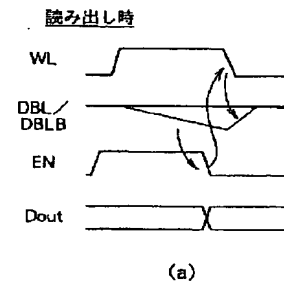
DWL…ダミーワード線
 BL_k, BLB_k, BL_m, BLB_m…ビット線
 DBL, DBLB…ダミービット線
 MC1_k~MC4_k…メモリセル
 DMC1~DMC4, DMCM…ダミーメモリセル
 SA_k…センスアンプ

1a…ダミー用判定器および制御回路
 3…書き込み回路
 4…出力回路
 5…ゲート回路
 6…アドレスバッファ

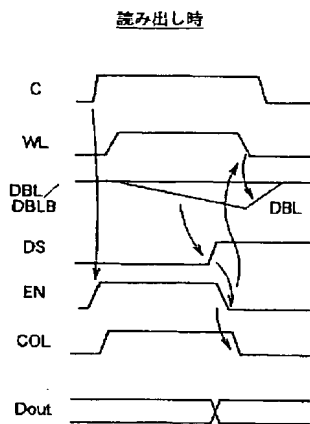
【図 1】



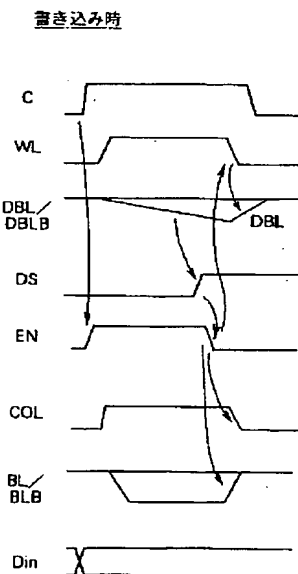
【図 2】



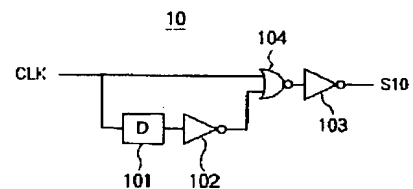
【図 4】



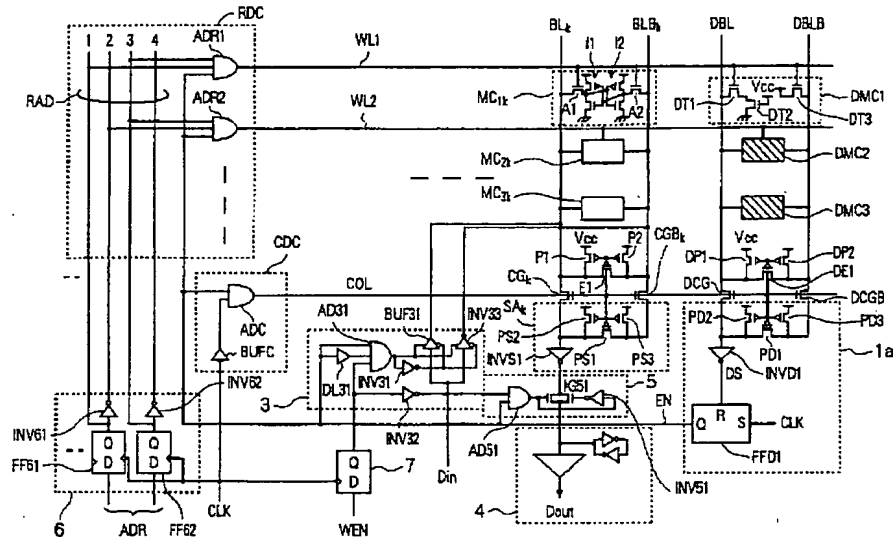
【図 5】



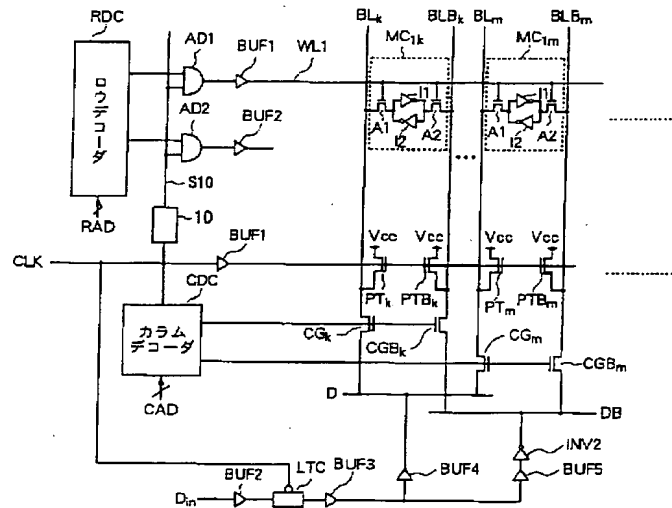
【図 7】



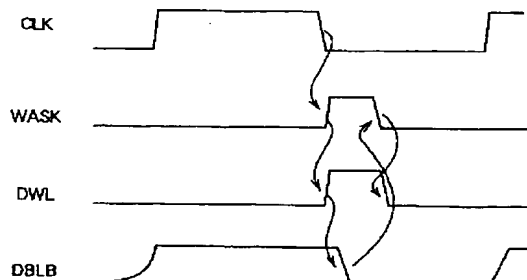
【図3】



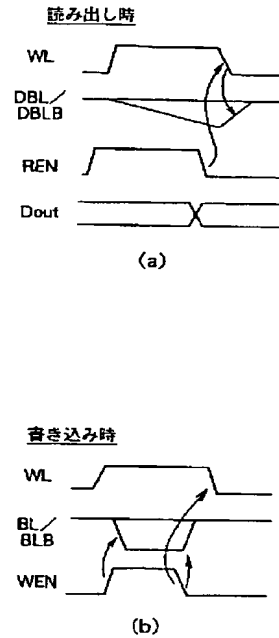
【図6】



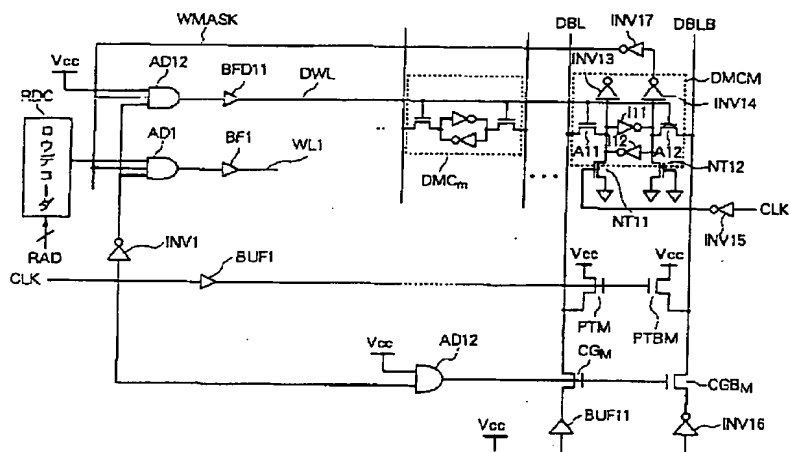
【図10】



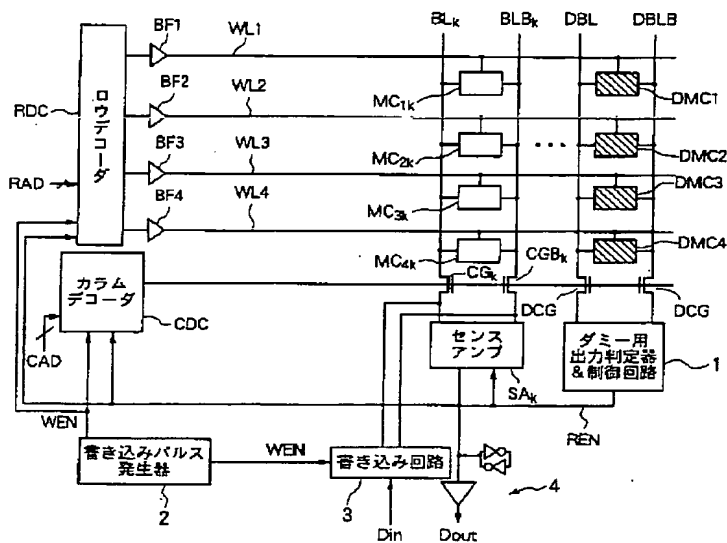
【図12】



【圖 9】



【図 1 1】



The diagram shows the following signals and their timing relationships:

- CLK**: Clock signal.
- WLi**: Write Enable signal.
- CLMk**: Column Address Strobe signal.
- Din**: Data Input signal, with a "Valid" period indicated.
- D/DB**: Data/Decompression signal.
- BLK/BLBk**: Bit Line Enable signal, labeled as "(書き込みビット線)" (Write Bit Line).
- BLm/BLBm**: Bit Line Enable signal, labeled as "(非書き込みビット線)" (Non-write Bit Line).

Arrows indicate the timing relationships between these signals, showing how the valid period of Din is related to the clock and write enable signals, and how the bit line enable signals are timed relative to the data input.